

针对一种岛式 FPGA 布局布线方法的研究与改进

陈 亮, 李 艳, 李 明, 于 芳, 刘忠立

(中国科学院 微电子研究所, 北京 100029)

摘 要: 针对一种岛式 FPGA(Field Programmable Gate Array)芯片 VS1000 的架构,开发了一种布局布线工具 VA,该工具在 VPR 的基础上做了两方面改进. 第一,在传统布线算法的布线资源图基础上建立了全局信号布线资源图,完成了对全局信号的布线,使全局信号布线与其他信号布线独立起来,以达到减少全局信号相对延时和节省通用布线资源的目的. 第二,提出了两种新的布线顺序:高扇出线网优先和高关键度线网优先. 实验结果表明,对于标准测试电路,高扇出优先的布线顺序平均可减少 21.8% 的迭代次数,高关键度优先的布线顺序平均可减少 22.3% 的关键路径延时.

关键词: 现场可编程门阵列; 布局; 布线; 全局信号布线; 布线顺序

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2012)08-0019-05

Improvement of Place and Route for an Island-Style FPGA

CHEN Liang, LI Yan, LI Ming, YU Fang, LIU Zhong-li

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A place and route tool VA is exploited for an island-style FPGA VS1000 architecture. It makes two improvements on the basis of VPR. Firstly, global signal routing resource graph based on routing resource graph of traditional routing algorithm was established. Global signal routing was completed in order to separate global signal routing and common signal routing for the purposes of reducing relative delays of global signals and saving common routing resource. Secondely, this research proposes two new route orders: high fanout priority and high criticality priority. Experimental results show the iterations can be reduced by 21.8% on average under high fanout priority order, the critical path delay can be reduced by 22.3% on average under high criticality priority order.

Key words: FPGA; place; route; global signal routing; route order

1 引言

在 FPGA 设计的 CAD 软件流程中,布局布线是至关重要的一步. 布局算法确定了实现电路功能需要的各逻辑单元块在 FPGA 中的位置,它的优化目标是把相连的逻辑单元块靠近放置以最大限度地减少所需要的布线资源,但有时也要平衡 FPGA 中所需要的布线密度或者最大限度提高电路速度. 绝大多数 FPGA 的布线器有一套避免拥挤的策略以解决布线资源竞争问题^[1]. 本文针对一款自主研发并已经完成流片验证的基于 SOI 的辐射加固 FP-

GA 芯片 VS1000 的架构,以 Windows VC2008 为平台,采用 C 语言编写开发了专门的布局布线工具 VA,完成了对全局信号的布线,并且提出了两种新的线网布线顺序^[2-6],分别减少了迭代次数和关键路径延时.

2 VS1000 FPGA 结构

VS1000 是一款自主研发并已经完成流片验证的辐射加固 SOI 工艺的 FPGA 芯片,其架构如图 1 所示. FPGA 芯片架构包括逻辑片(logic tile)阵列,可编程输入输出单元块(IO Block)阵列,2 个全局

信号单元块(Global Signal Block). 逻辑片是 FPGA 的基本组成单元块, 一个逻辑片包括一个逻辑单元块(LB), 一个 X 方向的连接盒(CBX), 一个 Y 方向的连接盒(CBY)和一个开关盒(SB)组成. 可编程输入输出单元块提供了芯片管脚和内部信号的通道. 全局信号模块通过专用的布线资源将全局信号输送给每个逻辑单元块. 全局信号可由芯片外部管脚或者内部逻辑信号提供^[7-8].

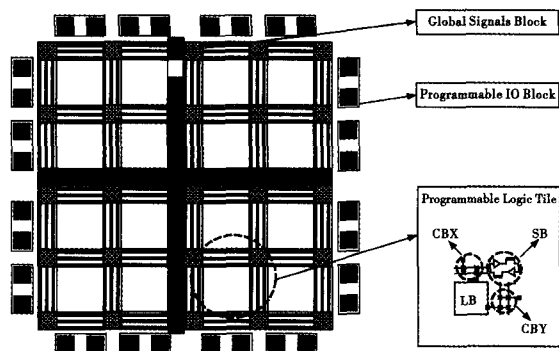


图1 VS1000 FPGA 结构

3 全局信号布线

FPGA 中布线资源的连接信息都是包含在布线资源图中. 在布线资源图中, 互连线段和逻辑单元块的各个引脚用结点表示, 开关则用有向边表示. 对于缓冲器这样的单向开关用一条有向边表示, 对于传输管这样的双向开关则用一对有向边表示^[9]. 因为在合法的布线结果中, 互连线段和逻辑单元块引脚只能被一根线网使用一次, 所以一个结点所能容纳的不同线网的最大数目是 1, 即结点的容量是 1. 由于在 VS1000 FPGA 芯片中, 全局信号是由专用的电路来输送的, 所以为了达到全局信号不占用通用布线资源, 非全局信号不占用全局信号布线资源的目的, 我们建立了两种布线资源图: 通用布线资源图和全局信号布线资源图.

图2中给出了VS1000 FPGA全局信号网络的架构. 在芯片中间的最上边和最下边各有一个全局信号单元块(Global Signal Block), 负责将来自芯片外部的时钟输入和芯片内部逻辑的输出输送至专用分配网络. 专用分配网络将全局信号通过四级多路选择器和缓冲器最终输送至芯片的每个角落. 上部和下部的全局信号单元块分别有4个全局信号输送至分配网络, 这8个全局信号在芯片正中心汇合, 然后被送至第二级多路选择器, 最终通过第五级多路选择器被送至每个逻辑单元块和输入输出单元

块^[8].

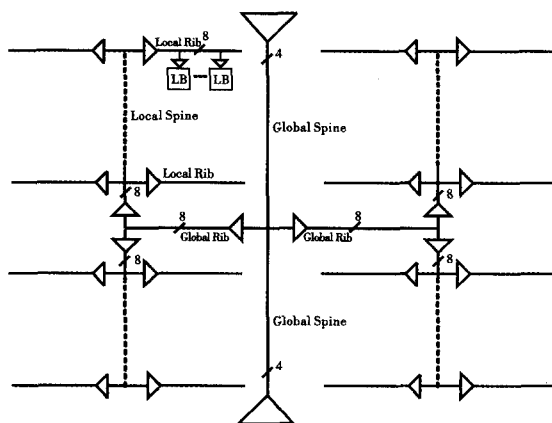


图2 全局信号分配网络

全局信号布线资源图中建立了全局信号单元块引脚结点与全局信号通道中第一级互连线段结点的连接、全局信号通道中各级互连线段结点的连接、第四级互连线段结点与逻辑单元块引脚结点的连接、结点与结点连接所用的开关的类型和延时信息, 以及这些节点的位置坐标和类型等信息. 全局信号的布线是在全局信号布线资源图中选择布线资源. 相对于非全局信号布线, 全局信号布线简单. 因为全局信号的路径是唯一的, 没有其他路径可以选择. 根据全局信号线网的源端(source node)和漏端(sink node)的位置, 全局信号传输要使用的互连线段和逻辑单元块引脚都是唯一的. 图3所示为一个全局信号布线后的实例结果. 非全局信号的布线是在通用布线资源图中选择布线资源, 所以全局信号布线和非全局信号布线互不干扰, 各用各的布线资源, 达到高扇出的全局信号不占用通用布线资源和减少全局信号相对延时的目的.

4 布线顺序

一般情况下, 映射之后生成的线网数量是庞大的, 这些线网都需要由布线器进行布线. 传统布线算法^[2]的布线顺序是自然顺序, 即线网在网表文件中的先后顺序. 本文提出两种新的布线顺序: 高扇出的线网优先和高关键度的线网优先. 这两种新的布线顺序分别减少了布线的迭代次数和关键路径的延时.

4.1 高扇出的线网优先

把所有线网按照扇出的数量排序, 高扇出的线网优先布线, 低扇出的线网之后布线. 高扇出线网的布线可能会跨越整个FPGA芯片, 所以在没有布线

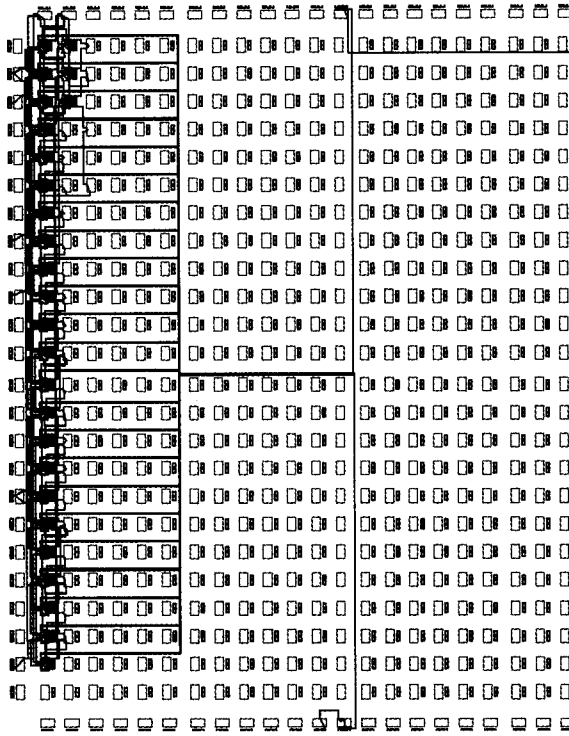


图3 全局信号布线后的实例结果

资源拥挤的时候对其进行布线会比较容易. 低扇出的线网的布线可能跨越的位置范围比较小, 因此即使存在布线资源的拥挤, 那么晚些对这种线网进行布线也不会非常困难. 高扇出的线网优先顺序在一定程度上减少了布线的迭代次数, 从而减少了布线时间.

4.2 高关键度的线网优先

传统的布线算法都是反复地拆线重布电路中的各条线网, 直到所有的拥挤问题都得到了解决. 每次拆线重布电路中的一条线网, 就称为一次布线迭代. 每次布线迭代之后, 就得到了完整的, 但是可能无效的布线结果. 因此, 能从这次布线中确定线网的延时, 并且进行完整的时序分析以计算各源端和漏端之间的延时裕量. 在下一轮布线迭代中, 这些裕量就用于控制减少连线延时或避免拥挤度的力度. 从线网 I 的源端 i 到漏端 j 的连接关键度 $\text{Crit}(i, j)$ 为

$$\text{Crit}(i, j) = 1 - \frac{\text{slack}(i, j)}{D_{\max}}$$

式中, $D_{\max}$ 是关键路径的延时, $\text{slack}(i, j)$ 是在不影响电路关键路径前提下的延时裕量^[9]. $\text{Crit}(i, j)$ 越大, 说明从源端 i 到漏端 j 这条路径越接近关键路径, 越应该以最小延时为目的进行布线. 一个线网有一个源端和多个漏端, 定义线网 I 的关键度 $\text{Crit}(I)$ 为

$$\text{Crit}(I) = \frac{\sum_{j=1}^k \text{Crit}(i, j)}{k}$$

式中, k 为线网 I 的漏端的数量. 线网的关键度即为该线网的源端到其所有漏端的关键度的平均值. 该计算方法可以准确衡量每个线网在整个 FPGA 芯片中的相对关键度. 关键度越大, 说明该线网上的路径越接近关键路径, 越应该优先布线.

高关键度线网优先布线的流程如图4所示. 读取映射结果的网表信息和布局结果之后, 执行第一次布线, 这次布线是不考虑布线资源的拥挤和重用, 以最小延时为目的进行布线. 从这次布线结果中, 就可以得到完整的, 但是可能无效的信号路径, 从而能够确定线网的延时, 并且进行完整的时序分析以计算各源端到漏端之间的延时裕量和关键路径延时. 通过延时裕量和关键路径延时可以得出源端到漏端的连接关键度, 最终得出每个线网的关键度. 根据关键度对线网进行排序之后, 依次进行布线.

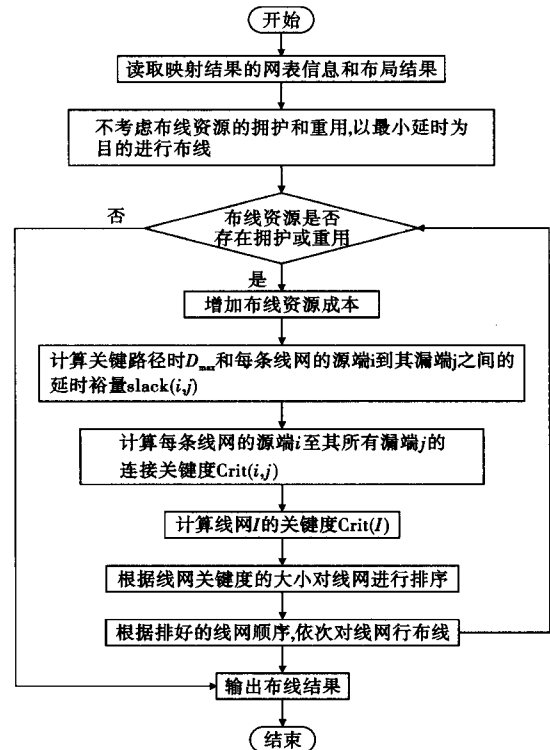


图4 高关键度线网优先布线的流程图

多种布线顺序布线器的伪代码如下:

```
Multi-route Order Router
build routing resource graph
if (route_order == route_by_net) //线网的自然顺序
    PriorityQueue = net_index;
}
```

```
else if (route order==route_by_fanout) //根据线网扇出的数量排序
    for(each net of nets)
        fanout=fanouts(net); //求线网的扇出数
        PriorityQueue=fanout of every net from high to low;
    }
else if (route order==route_by_criticality) { //根据线网的关键度排序
    for(each net of nets)
        criticality=criticality(net); //求线网的关键度
        PriorityQueue=criticality of every net from high to low;
    }
for(each net of PriorityQueue) //按照排好的顺序,依次对线网进行布线
    Pathfinder_route(net);
    Print route result;
End Router
```

4.3 实验结果与分析

本文从 IWLS 标准电路中分别选取了 10 个电路对高扇出优先顺序和高关键度优先顺序布线进行了测试,并将它们的结果与自然顺序布线结果进行对比.测试过程中,FPGA CAD 流程中的综合、映射、布局布线都是针对 VS1000 FPGA 芯片架构的,对比结果如表 2 和表 4 所示.可以清楚地看到高扇出优先的布线顺序的迭代次数大为减少,平均优化率达到 21.8%,但是并不是对所有的电路关键路径延时都有优化.相反,高关键度优先的布线顺序的关键路径延时大为减少,平均优化率达到 22.3%,但是并不是对所有的电路迭代次数都有优化.从布线结果中还可以看出,高扇出优先顺序和高关键度优先顺序没有影响布线结果的布线资源利用率,如表 1 和表 3 所示.实验证明,对一个电路进行布线,如

表 1 自然顺序与高扇出优先顺序的布线资源利用率对比

IWLS 标准 测试电路	布线资源利用率		差别/ %
	自然顺序/%	高扇出优先顺序/%	
sl196_sweep	14.5	14.7	-0.2
term1_orig	2.8	2.7	0.1
alu4_orig	16.2	15.4	0.8
c432_orig	5.2	5.14	0.06
c880_synth	9.89	9.88	0.01
c499_synth	7.45	7.36	0.09
x1_orig	9.97	10.1	-0.13
k2_synth	42.6	42.6	0
c880_sweep	10.2	9.8	0.4
c3540_synth	38.3	36.8	1.5

表 2 自然顺序与高扇出优先顺序的布线结果对比

IWLS 标准 测试电路	迭代次数			关键路径延时/ns		
	自然顺序	高扇出 优先顺序	优化率/ %	自然顺序	高扇出 优先顺序	优化率/ %
sl196_sweep	14	12	14.3	264.8	224.7	15.1
term1_orig	14	10	28.6	169.5	63.08	62.8
alu4_orig	11	10	9.1	149.0	145.5	2.3
c432_orig	12	10	16.7	133.6	148.8	-11.3
c880_synth	16	11	31.3	291.1	145.7	49.9
c499_synth	12	10	16.7	167.4	134.3	19.8
x1_orig	14	12	14.3	219.5	192.3	12.3
k2_synth	108	69	36.1	662.0	530.7	19.8
c880_sweep	12	11	8.3	193.6	143.7	25.8
c3540_synth	28	16	42.9	432.5	411.7	4.8
平均			21.8			20.1

表 3 自然顺序与高关键度优先顺序的布线资源利用率对比

IWLS 标准 测试电路	布线资源利用率		差别/%
	自然顺序/%	高关键度优先顺序/%	
c1355_orig	7.63	7.59	0.04
sl196_orig	11	11.2	-0.2
term1_orig	2.82	2.81	0.01
x4_orig	10	9.39	0.61
c880_synth	9.89	10.4	-0.51
c499_synth	7.45	7.57	-0.12
c3540_synth	38.3	37.1	1.2
x1_orig	9.97	9.51	0.46
c880_sweep	10.2	10.2	0
c1908_sweep	8.9	8.84	0.06

表 4 自然顺序与高关键度优先顺序的布线结果对比

IWLS 标准 测试电路	迭代次数			关键路径延时/ns		
	自然 顺序	高关键度 优先顺序	优化率/ %	自然 顺序	高关键度 优先顺序	优化率/ %
c1355_orig	10	9	10	162.7	137.7	15.4
sl196_orig	14	13	7.1	185.9	169.8	8.7
term1_orig	14	11	21.4	169.5	77.6	54.2
x4_orig	9	8	11.1	125.2	124.5	0.6
c880_synth	16	14	12.5	291.1	192.6	33.8
c499_synth	12	11	8.3	167.4	131.2	21.6
c3540_synth	28	25	10.7	432.5	335.3	22.5
x1_orig	14	15	-7.1	219.5	191.8	12.7
c880_sweep	12	10	16.7	193.6	135.3	30.1
c1908_sweep	15	12	20	257.0	197.1	23.3
平均			11.1			22.3

果想得到比较少的迭代次数,那么可以采用高扇出优先顺序进行布线;如果想得到比较小的关键路径延时,那么可以采用高关键度优先顺序进行布线。

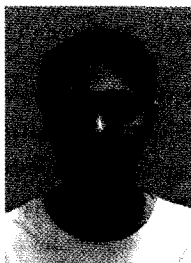
5 结束语

本文针对自主研发的基于SOI的辐射加固FPGA芯片VS1000的架构,开发了一个新的布局布线工具VA。该工具对全局信号布线进行了单独处理,使全局信号不占用通用布线资源并减少全局信号相对延时。同时本文还提出了两种新的布线顺序,它们不仅适用于自主研发的这款基于SOI的辐射加固FPGA芯片,而且还适用于其他架构的FPGA芯片。通过实验结果可以看到,高扇出优先的布线顺序平均减少了21.8%的迭代次数,高关键度优先的布线顺序平均减少了22.3%的关键路径延时,有效地提高了FPGA设计流程中布局布线的性能。

参考文献:

- [1] Vaughn Betz. Architecture and CAD for deep-submicron FPGAs[M]. Toronto: Kluwer Academic Publishers, 1999: 22-26.
- [2] Vaughn Betz. 深亚微米FPGA结构与CAD设计[M]. 王伶俐,杨萌,周学功,译. 北京:电子工业出版社,2008:41.
- [3] Betz V, Rose J. VPR: a new packing, placement and routing tool for FPGA research[C]//Proceedings of the 7th International Workshop on Field Programmable Logic and Application. London: 1997, 1304: 213-222.
- [4] Wei Y C, Cheng C K. Ratio cut partitioning for hierarchical designs[J]. IEEE Transactions on Computer-Aided Design, 1991, 10(7): 911-921.
- [5] 赵长虹,陈建,周电,等. 基于权重的超大规模集成电路布图规划算法[J]. 计算机辅助设计与图形学学报, 2006,18(7):994-998.
- [6] 隋文涛,董社勤,边计年. 岛式FPGA线长驱动快速布局算法[J]. 计算机辅助设计与图形学学报,2009,21(9):1275-1282.
- [7] McMurchie L, Ebeling C. PathFinder: a negotiation-based performance-driven router for FPGAs[C]//Proceeding of ACM/SIGDA International Symposium on Field-Programmable Gate Array. New York: ACM Press, 1995: 111-117.
- [8] 韩小伟. 辐射加固SOI工艺FPGA的设计与验证(II)[D]. 北京:中国科学院半导体研究所,2011.
- [9] Vaughn Betz. 深亚微米FPGA结构与CAD设计[M]. 王伶俐,杨萌,周学功,译. 北京:电子工业出版社,2008:55/22-23.

作者简介:



陈亮 男,(1984—),博士研究生. 研究方向为FPGA CAD工具的布局布线的设计。